1. Um microcontrolador é um sistema computacional programável que:

a. inclui, num único circuito integrado, CPU, memória e um conjunto variável de periféricos e portos de I/O.-

b. disponibiliza, através dos seus portos de I/O, a generalidade dos sinais dos barramentos do microprocessador para ligação direta a sensores e atuadores de um sistema embebido.

c. devido a restrições de custos, suporta um número reduzido de instruções e de registos.

d. por questões de dimensão, não utiliza mecanismos de multiplexagem para partilha de pinos físicos do circuito entre diversas funcionalidades internas.

2. Num sistema computacional, o espaço de endereçamento de memória é definido como:

a. um número único que identifica cada posição de memória.

b. a quantidade de memória fisicamente disponível no sistema, expressa em MBytes.

c. a gama completa de endereços de memória que o CPU pode gerar.

d. a dimensão em bits de cada posição de memória.

3. A função de um bootloader num sistema baseado em microcontrolador é:

a. transferir o código executável, a partir do sistema host usado no desenvolvimento, para a memória do microcontrolador, permitindo a sua posterior execução.

b. realizar a compilação do software de alto nível (e.g. C) e iniciar a sua execução após o reset do sistema.

c. interagir com o cross-compiler para efeitos de debug da aplicação.

d. executar o programa e auxiliar no seu debug permitindo a introdução de breakpoints, visualização do conteúdo de registos e de posições de memória.

4. Dizer-se que num sistema computacional a memoria apresenta uma organização do tipo byte-addressable significa que:

a. cada posição de memoria é identificada por um endereço de 1 byte.

b. o acesso apenas pode ser efetuado por instruções que transferem 1 byte de informação.

c. uma word de 32 bits é armazenada em 4 posições de memoria consecutivas de 1 byte.

d. o barramento de endereços e de dados têm obrigatoriamente que ter a mesma dimensão.

5. Na arquitetura de um sistema computacional, o Address Bus permite:

a. especificar o tipo de operação efetuada sobre a memória ou sobre o periférico

b. identificar, na memoria ou num periférico, a origem/destino da informação.

c. transferir dados entre a memoria externa e os registos do CPU.

d. transferir o codigo maquina das instruções para o program counter.

6. O Bus Matrix usado no PIC32 permite:

a. o acesso do CPU a uma memoria RAM para transferência simultânea de dados e instruções

b. o acesso do CPU a uma memoria FLASH para transferência simultânea de dados e instruções.

c. a transferência direta de dados ou instruções da memoria RAM para a FLASH (ou o contrario) sem intervenção de qualquer outro dispositivo

d. o acesso do CPU a uma memória FLASH para leitura de dados constantes e á mesma memoria FLASH para leitura de instruções.

7. Um compilador-cruzado (cross-compiler) é um programa que corre numa plataforma e:

a. simula o funcionamento de uma aplicação numa plataforma diferente.

b. permite o debug de uma aplicação que corre numa plataforma diferente.

c. gera código que pode ser executado na mesma plataforma em que é gerado.

d. gera código para uma plataforma com uma arquitetura diferente daquela onde é executado.

8. Quando nos referimos a um "Módulo de I/O" estamos a referir-nos:

a. à parte de um dispositivo periférico que funciona como adaptador entre as caracteristicas intrinsecas do periférico e as características do CPU e do sistema de memória.

b. a um periférico que permite operações de escrita e leitura.

c. ao software (device-driver) que assegura que o acesso ao periférico é transparente para as aplicações.

d. ao tipo de conector que permite a interface entre um periférico e o canal de comunicação do mesmo com o mundo exterior.

9. O modelo de programação de um periférico especifica:

a. o sub-conjunto de instruções assembly do CPU suportadas por esse periférico.

b. a funcionalidade do periférico e o seu conjunto de registos de dados, de controlo e de estado.

c. quais os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores.

d. as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado.

10. Na implementação da parte de dados de um porto de saída devem ser usados:

a. buffers tri-state para que a informação presente no barramento de dados só fique disponível para o periférico quando o porto for ativado.

b. flip-flops para armazenar o valor transferido através do barramento de dados durante um ciclo de escrita

c. buffers tri-state para que a informação só seja colocada no barramento de dados quando o porto selecionado.

d. flip-flops para armazenar o valor presente no barramento de endereços, se este coincidir com o endereço do porto.

11. A descodificação de endereços consiste em:

a. representar um endereço em binário de forma a utilizar o menor número de linhas do barramento.

b. determinar em função do endereço gerado pelo periférico, qual o CPU ou memória que deve ser selecionada.

c. ocupar a totalidade do espaço de endereçamento do processador com memórias e periféricos.

d. determinar, em função do endereço presente no barramento, qual o periférico ou memória que deve ser selecionado.

12. Num determinado sistema com uma organização de memória do tipo byte addressable e um espaço de endereçamento de 16 bits, foi implementado um descodificador de endereços usando a seguinte expressão lógica (lógica negativa): CE\ = A15 + A14+ A12\ (A13 ignorado). Com este descodificador pode ser selecionada uma memória:

a. de 4k bytes, na gama de endereços 0xD000 a 0xDFFF

b. de 8k bytes, na gama de endereços 0xC000 a 0xDFFF

c. de 2k bytes, na gama de endereços 0xF000 a 0xF7FF

d. de 4k bytes, na gama de endereços 0x3000 a 0x3FFF

13. Suponha que os bits 7 e 6 do porto B do PIC32 estão configurados como salda e que se pretende atribuir a esses dois portos o valor 1 e 0, respetivamente, sem alterar o valor dos restantes. Para isso, em linguagem C, pode fazer-se:

a. LATB = (LATB & 0XFF3F) | (1 << 7);

b. LATB = (LATB & OXFFBF) | (0 << 6);

c. LATB = (LATB | 0x0080) & (0 << 6);

d. LATB = (LATE & 0x0000) | (1 << 7);

14. Na implementação de um porto de I/O do PIC32, o registo com a designação "PORT" está associado a um conjunto de dois flip-flops D ligados em série (shift register de dois andares). O objetivo desta organização é:

a. criar um atraso temporal de dois ciclos de relógio relativamente às alterações do registo TRIS

b. assegurar que o registo LAT é adequadamente escrito numa operação "Read Modify Write".

c. assegurar que há uma adequada sincronização entre o valor lógico presente na entrada e o relógio interno e prevenir a ocorrência, internamente, de fenómenos de meta-estabilidade.

d. garantir que há tempo para colocar em alta impedância o buffer tri-state de saida quando se comuta o porto de modo de saida para modo de entrada.

15. O método de transferência de informação entre um CPU e um periférico, em que o programa executado no CPU inicia, monitoriza e controla a transferência de informação, designa-se por:

a. entrada/saida por polling com vectorização.

b. entrada/saida por interrupção iniciada pelo CPU.

c. entrada/saida por interrupção iniciada pelo periférico.

d. entrada/saida programada (método de polling).

16. O sistema que implemente “interrupções vetorizadas”, a sequencia de operações efetuada pelo CPU na fase atendimento a uma interrupção é, pela ordem indicada, a seguinte:

a. salto para a RSI, identificação da fonte, determinação do endereço da RSI, salvaguarda do endereço de retorno.

b. determinação do endereço da RSI, identificação da fonte, salvaguarda do endereço de retorno, salto para a RSI.

c. salvaguarda do endereço de retorno, identificação da fonte, determinação do endereço da RSI, salrto para a RSI.

d. salvaguarda do endereço de retorno, salto para a RSI, identificação da fonte.

17. Numa RSI, o conjunto de instruções designado por “prólogo” destina-se, no essencial, a:

a. alterar a tabela de vetores de modo a impedir que novos pedidos de interrupção sejam atendidos.

b. salvaguardar, na stack, o contexto atual do programa interrompido, i.e., registos internos do CPU.

c. identificar a fonte de interrupção (quando isso é feito por software) e obter o endereço inicial da RSI

d. regressar ao programa interrompido.

18. Na organização do sistema de interrupções designada por "identificação da fonte por software", o processador identifica o periférico gerador da interrupção:

a. através da leitura do valor presente no barramento de endereços uma vez que quando o periférico ativa a linha de interrupção coloca simultaneamente nesse barramento o seu vetor.

b. antes de saltar para a rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema.

c. na rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema.

d. num ciclo de interrupt acknowledge durante o qual o periférico gerador da interrupção coloca o vetor no barramento de dados.

19. Quando nos referimos a uma "secção critica", num trecho de código executado por um CPU, estamos a referir-nos:

a. a uma sequência de instruções cuja execução não pode ser interrompida por uma interrupção, por usar/atualizar um recurso partilhado com o código da rotina de serviço à interrupção.

b. à seção mais importante do código em execução e que não pode deixar de ser executado.

c. a um conjunto consecutivo de instruções onde não é possivel chamar uma função.

d. a uma secção de código que, em certas circunstâncias, pode gerar uma exceção.

20. Quando é usada a técnica de transferência de dados por DMA para transferir informação entre a memória e um periférico:

a. o CPU configura o controlador de DMA com os endereços de origem e destino e o número de words a transferir, e o DMA faz depois a transferência dos dados.

b. o periférico faz um pedido de interrupção ao controlador de DMA após a conclusão da transferência de dados.

c. o CPU verifica, através de um ciclo de polling ao registo de estado do controlador de DMA, se a transferência já foi concluída.

d. o DMA verifica, através de um ciclo de polling ao registo de estado do periférico, se existem mais dados para serem transferidos.

21. Numa transferência por DMA, o mecanismo de interrupção é utilizado pelo respetivo controlador para:

a. efetuar ao CPU o pedido de cedência dos barramentos; a transferência tem inicio quando o DMA receber a confirmação, através do sinal busgrant, de que os barramentos foram libertados.

b. Informar o CPU que a transferência de informação vai ter inicio, permitindo desse modo que o CPU suspenda a atividade de acesso ao exterior.

c. informar o CPU que a transferência de informação foi completada.

d. informar o CPU da existência de uma anomalia ocorrida durante o processo de transferência.

22. Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar inicio a uma transferência:

a. ativa o sinal busreq durante um número fixo de ciclos de relógio, e inicia de seguida a transferência.

b. ativa o sinal busreq, efetuando a transferência logo que se torne bus master.

c. gera uma interrupção que é interpretada pelo CPU como um pedido de cedência dos barramentos, a transferência é efetuada quando o DMA reconhecer a ativação do sinal busgrant.

d. avisa o CPU, através da linha busreq, que vai dar início à transferência e inicia-a de imediato. O sinal busgrant é utilizado pelo CPU para suspender a atividade do DMA.

23. Num sistema de comunicação série que use transmissão síncrona:

a. o sinal de relógio não é transmitido, nem há recuperação do relógio no recetor.

b. o sinal de relógio é codificado nos dados, ou é transmitido de forma explicita através de um sinal adicional.

c. os relógios do transmissor e do recetor não precisam de estar sincronizados.

d. existe obrigatoriamente, para além da linha de dados, uma linha através da qual é transmitido o sinal de relógio

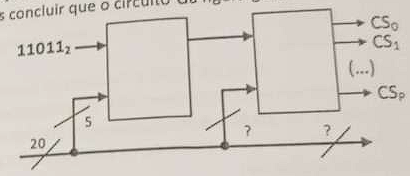
24. Considere um timer em que a relação entre as frequências de entrada e de saida é uma constante "k" configurável. Considere ainda que se usaram dois desses timers e se ligaram em cascata (ie, em série). Supondo que a frequência à entrada do primeiro timer é 1 MHz, para obter à saída do segundo timer uma frequência de 200 Hz, as constantes de configuração dos dois timers, "k1" e "k2", poderão ter os seguintes valores:

a. K1=100, K2 = 25.

b. K1= 10, K2 = 20.

c. K1 = 200, K2 =100.

d. K1 = 200, K2 = 25.

25. Considere um espaço de endereçamento de 20 bits e o circuito gerador de sinais de seleção programável da figura (igual ao que estudou nas aulas teóricas). Na situação apresentada e considerando que a linha de seleção CS, está ativa na gama OxD8200 a 0xD83FF, podemos concluir que o circuito da figura gera:

a 16 linhas de seleção.

b. 64 linhas de seleção.

c. 8 linhas de seleção.

d. 32 linhas de seleção.

26. O sinal de seleção "Sel\" (lógica negativa) de uma memória de 2k endereços mapeada na gama de endereços 0x01800...0x01FFF, num espaço de endereçamento de 20 bits, pode ser obtido através da expressão lógica:

a. Uma imagem com texto, Tipo de letra, número, branco

Os conteúdos gerados por IA poderão estar incorretos. b. Uma imagem com texto, Tipo de letra, branco, número

Os conteúdos gerados por IA poderão estar incorretos.c. Uma imagem com texto, Tipo de letra, número, escrita à mão

Os conteúdos gerados por IA poderão estar incorretos.d. Uma imagem com texto, Tipo de letra, número, diagrama

Os conteúdos gerados por IA poderão estar incorretos.

27. Considere um controlador de DMA não dedicado de 32 bits (i.e. com barramento de dados de 32 bits a funcionar a 180 MHz. Suponha ainda que são necessários 2 ciclos de relógio (=1T BC) para efetuar uma operação de leitura ou escrita. A taxa de transferência de pico desse DMA (expressa em Bytes/s), em modo cycle-steal e com um tempo minimo entre operações elementares de 2 T BC é:

a. 60 MByte/s.

b. 120 MByte/s.

c. 12.5 MByte/s.

d. 40 MByte/s.

1. Os microcontroladores são tipicamente usados em:

a. sistemas computacionais de uso geral por disponibilizarem sempre coprocessador de virgula flutuante.

b. sistemas embebidos por disponibilizarem um vasto conjunto de periféricos para interface com sensores e atuadores.

c. sistemas computacionais de uso geral por disponibilizarem um vasto conjunto de recursos de interface com o utilizador e periféricos para interface com sensores e atuadores.

d. sistemas embebidos por disponibilizarem sempre coprocessador de virgula fixa,

3. A função de um programa monitor num sistema baseado em microcontrolador é:

a. interagir com o cross-compiler para efeitos de debug da aplicação.

b. transferir o código fonte, a partir do sistema host usado no desenvolvimento, para a memória do microcontrolador, permitindo a sua posterior compilação e execução.

c. transferir o código executável, executar o programa e auxiliar no seu debug permitindo a introdução de breakpoints, visualização do conteúdo de registos e de posições de memória.

d. realizar a compilação do software de alto nível (e.g. C) e iniciar a sua execução após o reset do sistema.

5. Na arquitetura de um sistema computacional, os sinais de controlo RD e WR (read e write) permitem:

a. coditificar, na memória ou num periférico, a origem/destino da informação a transferir.

b. especificar o tipo de operação efetuada sobre a memória ou sobre o periférico.

c. transferir dados entre a memória externa e os registos do CPU.

d. transferir o código máquina das instruções para o program counter.

8. O modelo de programação de um periférico especifica:

a. o sub-conjunto de instruções assembly do CPU suportadas por esse periférico.

b. quais os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores.

c. as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado.

d. a funcionalidade do periférico e o seu conjunto de registos de dados, de controlo e de estado.

9. Na implementação de um porto de entrada simples devem ser usados:

a. buffers tri-state para que a informação presente no barramento de dados só fique disponível para o periférico quando o porto for ativado.

b. buffers tri-state para que a informação só seja colocada na barramento de dados quando o porto for selecionado.

c. flip-flops para armazenar o valor presente no barramento de endereços, se este coincidir com o endereço do porto.

d. buffers tri-state para armazenar o valor transferido através do barramento de dados durante um ciclo de escrita.

11. Num determinado sistema com uma organização de memória do tipo byte addressable e um espaço de endereçamento de 16 bits, foi implementado um descodificador de endereços usando a seguinte expressão lógica (lógica negativa): CE\ = A15 + A14\ + A13 . Com este descodificador pode ser selecionada uma memória:

a. numa gama de endereços 0xA000 a 0xAFFF

b. numa gama de endereços 0xA000 a 0xBFFF

c. numa gama de endereços 0x5000 a 0x5FFF

d. numa gama de endereços 0x4000 a 0x4FFF

12. Para que um porto de entrada e um porto de saída estejam mapeados no mesmo endereço do espaço de endereçamento de um processador, é necessário:

a. que o sinal de seleção do porto de entrada tome em consideração o sinal “write” e o porto de saída o sinal “read”.

b. que os sinais de seleção sejam independentes e que tomem em consideração …..”read” e “write”.

c. que o sinal de seleção seja comum aos dois portos.

d. utilizar descodificação parcial, e cada um deles usar um endereço de uma … diferente.

13. Suponha que os bits 7 e 6 do porto B do PIC32 estão configurados como salda e que se pretende atribuir a esses dois portos o valor 1 e 0, respetivamente, sem alterar o valor dos restantes. Para isso, em linguagem C, pode fazer-se:

a. LATB = (LATB | 0X0080) & ~(1 << 6);

b. LATB = (LATB & OXFFBF) ;

c. LATB = (LATB | 0x0080) & (0 << 6);

d. LATB = (LATE & 0x0000) | (1 << 7);

14. Na implementação de um porto de I/O do PIC32, o registo com a designação "PORT” está associado a um conjunto de dois flip flops D ligados em série (shift register de dois andares). O objetivo desta organização é:

a. criar um atraso temporal de dois cicios de relógio relativamente as alteracies do registo TRIS

b. assegurar que há uma adequada sincronização entre o valor logico presente na entrada e o relógio interno para prevenir a ocorrência, internamente, de fenómenos de meta estabilidade.

c. assegurar que o registo LAT é adequadamente escrito numa operação "Read Modify Write".

d. garantir que há tempo para colocar em alta impedância o buffer tri-state de saída quando se comuta … de modo de saída para modo de entrada.

15. A técnica de entrada/saída de dados por interrupção:

a. permite transferir eficientemente (i.e. com elevada taxa de transferência) grandes quantidades de dados .

b. consiste na execução de um ciclo de polling que é interrompido quando o periférico estiver pronto a realizar a transferência.

c. consiste na interrupção do periférico sempre que o CPU pretende transferir dados.

d. permite mascarar a latência do periférico.

17. Numa RSI, o conjunto de instruções designado por "epilogo" destina-se, no essencial:

a. alterar a tabela de vetores de modo a permitir que novos pedidos de interrupção sejam…

b. detetar se há uma nova interrupção pendente para ser atendida e identificar a sua origem

c. repor o contexto do programa interrompido e retomar a execução desse mesmo programa

d. calcular o endereço da RSI da próxima interrupção que se encontra em espera para ser executada(?)

21. Numa transferência por DMA, o respetivo controlador gera uma interrupção:

a. quando se torna bus master.

b. quando termina a transferência de dados para o qual foi previamente configurado.

c. quando recebe um DMA request proveniente de um periférico.

d. sempre que inicia uma nova transferência de dados.

27. Considere um controlador de DMA dedicado de 32 bits (i.e. com barramento de dados de 32 bits a funcionar a 150 MHz. Suponha ainda que são necessários 3 ciclos de relógio para efetuar uma operação de leitura ou escrita. A taxa de transferência de pico desse DMA (expressa em Bytes/s), em modo cycle-stealing com um tempo minimo entre operações elementares de 2 ciclos de relogio é:

a. 150 MByte/s.

b. 120 MByte/s.

c. 160 MByte/s.

d. 300 MByte/s.

28. Para fazer uma transferencia num barramento de dados de 16 bits, um controlador de DMA não dedicado….funcionar em modo bloco, necessitou de 2048 bus cycles. Podemos então concluir que o DMAC transferiu:

a. 1024 words de 32 bits.

b. 512 words de 16 bits.

c. 2048 words de 16 bits.

d. 512 words de 32 bits.

31. Considere um watchdog timer, com uma frequência de entrada de 100 khz, construído a partir de um contador crescente que atua o processador sempre que a contagem atinge o valor máximo. Em funcionamento… processador faz o reinicio do watchdog timer em intervalos não superiores a 150 ms. Neste cenário, numero mínimo de bits do contador do watchdog timer devera ser:

a. 12

b. 13

c. 15

d. 14

32. Considere um timer como o da figura abaixo (semelhante aos dos PIC32) com a sua saida ligada a um … "Output Compare" (OC). Admita que a frequência do relógio TCLK é de 30MHz, que a constante de pre… o valor 4, que a constante PR tem o valor 49999 e que a constante OCK tem o valor 10000. Nestas…. frequência do sinal na saída O1 é:

Uma imagem com diagrama, Esquema, desenho, esquemático

Os conteúdos gerados por IA poderão estar incorretos.a. freq = 150hz

b. freq = 300hz

c. freq = 100hz

d. freq = 500hz

1. Na arquitetura de um sistema computacional, o Data Bus permite:

a. identificar, na memória ou num periférico, a origem/destino da informação a transferir.

b. especificar o tipo de operação efetuada sobre a memória.

c. transferir informação entre dispositivos periféricos e os registos internos do CPU.

d. transferir o código máquina das instruções para o program counter.

2. Dizer-se que num sistema computacional a memória apresenta uma organização do tipo word-addressable significa que:

a. cada posição de memória é identificada por um endereço com a dimensão de uma word.

b. o acesso apenas pode ser efetuado por instruções que transferem 1 byte de informação.

c. o barramento de endereços e de dados têm obrigatoriamente que ter a mesma dimensão.

d. cada endereço de memória identifica um registo com a dimensão de uma word.

3. Num sistema computacional, o espaço de endereçamento de memória é definido como:

a. um número único que identifica cada posição de memória.

b. a dimensão em bits de cada posição de memória.

c. a gama completa de endereços de memória que o CPU pode gerar.

d. a quantidade de memória fisicamente disponível no sistema, expressa em MBytes.

4. Num módulo de I/O, o conjunto de registos específicos (Data, Status e Control) e a descrição de cada um deles, para o periférico associado a esse módulo, constitui o que se designa por:

a. modelo de programação do periférico.

b. espaço de endereçamento do periférico.

c. memória específica do periférico.

d. modelo de comunicação com o periférico.

5. … o sistema de interrupções é organizado com múltiplas linhas de interrupção (uma por periférico):

a. a prioridade de atendimento às interrupções é determinada de forma fixa.

b. a prioridade de atendimento às interrupções é determinada por software.

c. a prioridade de atendimento às interrupções é determinada em daisy chain.

d. a prioridade de atendimento às interrupções é determinada por um sistema de arbitragem externo.

6. O método de transferência de informação entre um CPU e um módulo de E/S, em que o programa executado no CPU inicia, monitoriza e controla a transferência de informação, designa-se por:

a. entrada/saída programada (método de pooling).

b. entrada/saída por pooling com vectorização.

c. entrada/saída por interrupção iniciada pelo CPU.

d. entrada/saída por interrupção iniciada pelo periférico.

7. Um compilador cruzado (cross compiler) é um programa que corre numa plataforma e:

a. gera codigo para uma plataforma com una arquitetura diferente daquela onde é executado.

b. simula o funcionamento de una aplicação numa plataforma diferente.

c. perante o debug de uma aplicação que corre numa plataforma diferente.

d. gera codigo que é compatível com múltiplas plataformas, incluindo aquela onde é executado.

8. A funçao de um bootloader um sistema baseado em microcontrolador é:

a. realizar a compilação do software de alto nivel (eg. C) e iniciar a sua execução após o reset do sistema.

b. transferir o código executável a partir do um sistema host, usado no desenvolvimento, para a memória do microcontrolador, permitindo a sua posterior execução.

c. executar o software e auxiliar no seu debug através da introdução de breakpoints, visualização do conteúdo de registos e de posições de memòria.

d. interagir com o cross-compiler para efeitos de debug da aplicação.

9. Quando é usada a técnica de entrada/saída de dados por software (programada):

a. o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados.

b. o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados.

c. o CPU interrompe a execução do programa para configurar o controlador de DMA que fará a transferência de dados propriamente dita.

d. o CPU verifica, através de um ciclo de polling, se o periférico está pronto para transferir os dados.

10. A descodificação de endereços consiste em:

a. representar um endereço em binário, ignorando os zeros à esquerda, por forma a utilizar o menor número de linhas do barramento possível.

b. determinar, em função do endereço gerado por um periférico, qual o CPU ou memória que deve ser selecionada.

c. determinar, em função do endereço presente no barramento, qual o periférico/memória que vai ser selecionada.

d. ocupar a totalidade do espaço de endereçamento do processador com memórias e periféricos.

11. O diagrama temporal da figura do lado representa um ciclo de:

Uma imagem com texto, escrita à mão, quadro branco, desenho

Os conteúdos gerados por IA poderão estar incorretos.a. escrita num dispositivo mapeado no espaço de endereçamento de I/O.

b. escrita num dispositivo mapeado no espaço de endereçamento de memória.

c. leitura de um dispositivo mapeado no espaço de endereçamento de memória.

d. leitura de um dispositivo mapeado no espaço de endereçamento de I/O.

12. Os registos PORT, LAT e TRIS do PIC32 permitem, respetivamente:

a. o output e input de informação e o controlo da direccionalidade de um porto digital.

b. o input e output de informação e o controlo da direccionalidade de um porto digital.

c. o controlo da direccionalidade, o input e output de informação de um porto digital.

d. o controlo da direccionalidade, o output e input de informação de um porto digital.

13. Numa RSI, o conjunto de instruções designado por "epílogo" destina-se, no essencial, a:

a. alterar a tabela de vetores de modo a impedir que novos pedidos de interrupção sejam atendidos.

b. identificar a fonte de interrupção (nos casos em que tal é feito por hardware) e obter o endereço inicial da RSI.

c. regressar ao programa interrompido reativando as interrupções.

d. repor, a partir da stack, o contexto do programa que foi interrompido pela interrupção.

14. Num sistema de interrupções vetorizadas, a sequência de operações efetuada pelo CPU na fase de atendimento a uma interrupção é, pela ordem indicada, a seguinte:

a. salto para a RSI, identificação da fonte, determinação do endereço da RSI, salvaguarda do endereço de retorno.

b. determinação do endereço da RSI, identificação da fonte, salvaguarda do endereço de retorno, salto para a RSL

c. salvaguarda do endereço de retorno, identificação da fonte, determinação do endereço da RSI, salto para a RSI

d. salvaguarda do endereço de retorno, salto para a RSI, identificação da fonte.

15. Um microcontrolador PIC32 usa internamente:

a. uma arquitetura Harvard, com memórias de código e dados independentes e de diferentes tecnologias

b. uma arquitetura Von Neumann, mas graças a um sistema de comutação matricial comporta-se, para o programador, como uma arquitetura Harvard.

c. uma arquitetura Harvard, mas graças a um sistema de comutação matricial permite a execução de instruções armazenadas qualquer uma das memórias internas.

d. um espaço de endereçamento que pode ser gerido dinamicamente, por software, para armazenamento de dados e de instruções.

16. Numa transferência por DMA, o respetivo controlador gera uma interrupção:

a. quando se encontra pronto para fazer uma nova transferência.

b. quando termina a transferência de informação para o qual foi previamente configurado.

c. quando se torna Bus Master.

d. quando recebe um "DMA Acknowledge" proveniente do CPU.

17. Considere um timer em que a relação entre as frequências de entrada e de saída é uma constante k configurável. Se colocar dois desses timers em cascata (i.e., ligados em série) com constantes de divisão k1 e k2, a relação entre a frequência à entrada do primeiro (fin) e a frequência à saída do segundo (fout) pode ser escrita como:

a. fout= fin/(k1 \* k2)

b. fout = fin \* (k1 + k2)

c. fout = fin\* ((k1 + 1)\* (k2 + 1))

d. fout = fin/((k1 + 1)\* (k2 + 1))

18. Em barramentos paralelo multi-master, para garantir que o barramento é sempre atribuído à unidade de maior prioridade, o árbitro poderá efetuar o escalonamento com base:

a. em prioridades fixas.

b. no critério Last-Come/First-Served.

c. no critério First-Come/First-Served.

d. em round-robin.

19. Numa transferência de tipo semi-síncrono:

a. o barramento de endereços é assíncrono e o barramento de dados é síncrono.

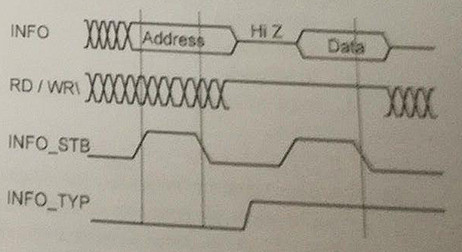
b. assume-se que o dispositivo externo responde à velocidade do CPU e, consequentemente, não existem sinais de protocolo envolvidos na transação.

c. o CPU prolonga o ciclo de leitura/escrita até ao preciso instante em que o dispositivo externo sinaliza que a operação pretendida foi completada.

d. o CPU prolonga o ciclo de leitura/escrita por um ou mais ciclos de relógio, em função de um sinal de protocolo gerado pelo dispositivo externo.

20. A figura ao lado representa um ciclo de:

a. escrita assíncrono com barramentos de dados e de endereços multiplexados.

b. leitura síncrono com barramentos de dados e de endereços não multiplexados.

c. leitura síncrono com barramentos de dados e de endereços multiplexados.

d. leitura síncrono com barramentos de dados e de endereços não multiplexados e sinais de controlo independentes de leitura/escrita.

21. Num espaço de endereçamento de 16 bits, um descodificador implementado através da expressão lógica "OR\ = A15 + A13\ + A12\", descodifica a(s) seguinte(s) gama(s) de endereço(s):

a. 0x3000 a 0x7FFF.

b. 0xC000 a 0XEFFF.

c. 0x1000 a 0x1FFF, 0x3000 a 0x3FFF.

d. 0x3000 a 0x3FFF, 0x7000 a 0x7FFF.

22. Suponha que pretende implementar um circuito gerador de sinais

Uma imagem com texto, desenho, esboço, quadro branco

Os conteúdos gerados por IA poderão estar incorretos.de seleção programável (semelhante ao que estudou nas aulas teóricas) que gere 64 linhas de seleção, cada uma delas ativa em 1k endereços consecutivos, num espaço de endereçamento de 32 bits. Ao segundo bloco da figura devem ser ligados R bits, correspondendo à gama:

a. A9 a AO.

b. A15 a A10.

c. A31 a A20.

d. A31 a A16.

23. Para a transferência de 1024 words (de 32 bits) num barramento de 16 bits, um controlador de DMA não dedicado, a funcionar em modo bloco, necessita de:

a. 2048 bus cycles.

b. 4096 bus cycles.

c. 512 bus cycles.

d. 1024 bus cycles.

24. Um programa que transfere dados de 32 bits de um periférico para a memória é implementado num ciclo com 10 instruções. Admitindo que o CPU funciona a 200 MHz e que o programa em causa apresenta um CPI de 2.5, a taxa de transferência máxima que se consegue obter, em Bytes/s, supondo um barramento de dados de 32 bits, é:

a.16 MByte/s.

b. 32 MByte/s.

c. 64 MByte/s.

d. 128 MByte/s.

25. Considere um dispositivo de DMA não dedicado de 32 bits (i.e. com barramento de dados de 32 bits), a funcionar a 100 MHz. Suponha ainda que são necessários 2 ciclos de relógio (= 1TBC) para efetuar uma operação de leitura ou escrita. A taxa de transferência de pico desse DMA (expressa em Bytes/s), em modo "cycle-stealing" e com um tempo mínimo entre operações elementares de 1 TBC será de:

a. 100 MByte/s.

b. 66.(6) MByte/s.

c. 50 MByte/s.

d. 16.(6) MByte/s.

26. Considere agora um barramento (de informação) paralelo multiplexado, de 16 bits. Sobre esse barramento pretende- se implementar um protocolo de comunicação, de tipo microciclo, que apresenta um espaço de endereçamento de 32 bits e 32 bits de dados. O número mínimo de ciclos de barramento necessários para completar uma transação é:

a. 3.

b. 2.

c. 5.

d. 4

Uma imagem com texto, escrita à mão, desenho, esboço

Os conteúdos gerados por IA poderão estar incorretos.27. Um dado CPU suporta transferências de tipo síncrono e de tipo semi-sincrono. O CPU funciona a uma frequência de 500 MHz e o ciclo de leitura pode ser descrito no diagrama temporal ao lado. Pretende-se ligar a este CPU uma memória com um tempo de acesso de 12 ns (tempo que decorre desde que a memória é selecionada até que a informação fica disponível no data bus). Se o descodificador de endereços da memória introduzir um atraso de propagação de 2.5 ns, o número mínimo de wait- states que assegura a correta leitura é (Nota: assuma que o tempo mínimo durante o qual os dados têm e estar válidos no data bus tem de ser superior a um ciclo de relógio):

a. 4.

b. 5.

c. 6.

d. 7.

28. Considere um sistema baseado num CPU a funcionar a uma frequência de 40 MHz com uma taxa de execução de 20 MIPS (20x10° instruções por segundo, i.e. CPI = 2) que processa, por interrupção, eventos externos periódicos. Se o overhead total do atendimento à interrupção for de 40 ciclos de relógio, e a rotina de serviço à interrupção tiver 20 instruções, a máxima frequência a que esses eventos podem ocorrer é, aproximadamente:

a. 250 kHz.

b. 333.(3) kHz.

c. 500 kHz.

d. 1 MHz.

29. Um watchdog timer, com uma frequência de entrada de 20 kHz, é construído a partir de um contador crescente de 10 bits, e gera um sinal de reset ao processador sempre que a contagem atinge o valor máximo. Para impedir o reset do processador, o intervalo de tempo máximo entre resets do contador deve ser, aproximadamente:

a. 1024 ms.

b. 512 ms.

c. 51 ms.

d. 5 ms.

30. Considere um timer do tipo A do PIC32 (semelhante ao da figura) e um PBCLK = 20MHz. Para que o período de fout seja de 15ms com a melhor exatidão possível:

a. O valor do prescaler deverá ser de 1 e o de PRI 299999.

b. O valor do prescaler deverá ser de 8 e o de PRI 37499.

c. O valor do prescaler deverá ser de 64 e o de PR1 4686.

d. O valor do prescaler deverá ser de 256 e o de PR1 1170.

Uma imagem com texto, escrita à mão, quadro branco

Os conteúdos gerados por IA poderão estar incorretos.